

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) Korean Intellectual Property Office (KR)
(12) Laid-Open Patent Publication (A)

(51) Int. Cl. ⁶
H01L 21/768

(11) Publication No. 1999-0062003

(43) Publication Date July 26, 1999

(21) Application No. 10-1997-0082308

(22) Application Date December 31, 1997

(73) Applicant

Hyundai Electronics

(72) Inventor(s)

Cho, Kwang-cheol

Request for Examination: Done

(54) Method for Forming Multilayer Metal Wiring

[Abstract]

The present invention relates to a method for forming multilayer metal wiring, wherein a nitride film is deposited on a planarized oxide film to form a hard mask for patterning a contact or a via, an oxide film is deposited, and a photo sensitive film for patterning a metal line is formed and then is etched to simultaneously form a contact, a via and a metal line pattern. The method comprises steps of forming a lower wiring on a semiconductor substrate, depositing a first interlayer insulation film and planarizing the film; depositing a nitride film on the entire surface of the planarized first interlayer insulation film and etching the nitride film to form a contact hole pattern; forming a second interlayer insulation film on the entire surface of the contact hole pattern; forming a metal mask on the top of the second interlayer insulation film and etching the second inter-layer insulation film to form a contact hole such that the lower wiring is exposed; and forming a metal barrier layer on the entire surface of the contact hole, forming a metal line and planarizing the metal line, thereby simplifying the process and preventing the formation of a micro trench upon patterning a metal wiring.

[Representative Drawing]

Fig. 3i

FILED 07/01/03

re. filed 07/01/03

11978

출력 일자: 2003/5/27

발송번호 : 9-5-2003-019020551

발송일자 : 2003.05.26

제출기일 : 2003.07.26

수신 : 서울 종로구 내자동 219 한누리빌딩(김&

장 특허법률사무소)

주성민 귀하

110-053

특허청 의견제출통지서

출원인

명칭 사이프레스 세미컨덕터 코포레이션 (출원인코드: 519990464497) 1. 2003

주소 미국 캘리포니아 95134 산호세 노스 퍼스트 스트리트

대리인

성명 주성민 외 2 명

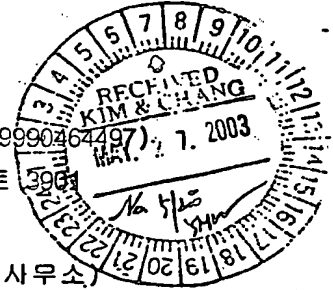
주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호

10-2001-0033430

발명의 명칭

집적 회로에 금속화물 및 접착 구조물을 제조하는 방법



이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

[이유]

이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제4항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

이 출원의 특허청구범위 제 1항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

1. 특허청구범위 제1항 내지 제18항

~을 특징으로 하는 방법'으로 기재되어 있어 발명의 범위가 불명확합니다(~을 특징으로 하는 집적 회로에 금속화물 및 접착 구조물을 형성하기 위한 방법):(특허법 제42조 제4항)

2. 특허청구범위 제1항 내지 제18항

본원 발명은 활성 영역과 절연층을 포함하는 다중-평면 기판이 트렌치와 접착 구멍 모두를 형성하기 위해 에칭되며 정렬 구멍 마스크의 정렬에는 자기정렬접착 기술을 사용하는 것이 주요특징인 집적 회로에 금속화물 및 접착 구조물을 형성하기 위한 방법에 관한 발명이나, 한국공개특허공보 1999-62003호(1999.7.26)의 청구항1, 도3a-도3i 및 관련 설명에 유사한 다층 금속 배선 형성 방법이 기재되어 있어, 본원 발명은 한국공개특허공보 1999-62003호(1999.7.26)의 공지기술에 의하여 용이하게 발명할 수 있습니다:(특허법 제29조 제2항). 끝.

[첨부]

첨부1 한국공개특허공보 1999-62003호(1999.07.26) 1부 끝.

2003.05.26

특허청

심사4국

반도체1심사담당관실

심사관 반성원



FILED 7/1/03

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01L 21 /768 (11) 공개번호 특1999-0062003
(43) 공개일자 1999년07월26일

(21) 출원번호 10-1997-0082308

(22) 출원일자 1997년12월31일

(71) 출원인 현대전자산업 주식회사 김영환

(72) 발명자 경기도 이천시 부발읍 아미리 산 136-1
조광철

(74) 대리인 광주광역시 서구 양2동 우진아파트 3동 508호
김동진, 정은섭, 허진석

상시청구 : 있음

(54) 반도체장치의 다층 금속배선 형성방법

요약

본 발명은 평탄화시킨 산화막 위에 질화막을 증착하여 콘택 또는 비아 패터닝용 하드마스크를 형성하고 다시 산화막을 증착한 후 메탈라인 패터닝용 감광막을 형성하여 식각함으로써 콘택과 비아와 메탈라인 패턴을 동시에 형성할 수 있도록 한 반도체장치의 다층 금속배선 형성방법에 관한 것으로, 반도체 기판상에 하부 배선을 형성하고 제1층간절연막을 증착한 후 평탄화하는 단계와, 평탄화된 제1층간절연막 전면에 질화막을 증착한 후 질화막을 식각하여 콘택홀 패턴을 형성하는 단계와, 콘택홀 패턴 전면에 제2층간절연막을 증착하는 단계와, 제2층간절연막 상부로 메탈마스크를 형성한 후 식각하여 이용하여 하부배선이 노출되도록 콘택홀을 형성하는 단계와, 콘택홀 전면에 장벽금속층을 형성한 후 메탈라인을 형성하고 평탄화하는 단계로 이루어져 공정의 단순화를 꾀할 수 있으며 금속배선 패터닝시의 마이크로 트렌치의 형성을 방지할 수 있다.

대표도

도3i

명세서

도면의 간단한 설명

도1은 일반적인 텅스텐 플러그에 의한 반도체장치의 다층 금속배선 형성방법을 설명하기 위한 단면도들이다.

도2는 금속배선이 조밀한 부분과 고립된 부분의 측면변화를 나타낸 단면도이다.

도3은 본 발명에 의한 반도체장치의 다층 금속배선 형성방법을 설명하기 위한 단면도들이다.

- 도면의 주요부분에 대한 부호의 설명 -

10 : 기판	15 : 필드산화막
20 : 폴리게이트	30,32,34 : 제1,2,3층간절연막
45 : 콘택홀	50 : 텅스텐플러그
60,60a : 금속층	64,64a : 메탈라인
70 : 비아홀	80 : 장벽금속층
90 : 질화막	95 : 구리플러그

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 다층 금속배선 형성방법에 관한 것으로서, 보다 상세하게는 평탄화시킨 산화막 위에 질화막을 증착하여 콘택 또는 비아 태너닝용 하드마스크를 형성하고 다시 산화막을 증착한 후 메탈라인 패터닝용 감광막을 형성하여 식각함으로써 콘택과 비아와 메탈라인 패턴을 동시에 형성할 수 있도록 한 반도체장치의 다층 금속배선 형성방법에 관한 것이다.

반도체장치의 금속배선은 반도체장치의 속도, 수율 및 신뢰성에 큰 영향을 주기 때문에, 반도체장치의 금속배선 형성공정은 반도체장치 제조공정 중에 매우 중요한 위치를 차지하고 있다.

일반적으로, 반도체 장치는 그 집적도가 증가하고 내부 회로가 복잡해지는 추세에 부응하여 다층의 배선 구조를 가지며, 이러한 다층 배선은 콘택 사이즈의 감소와 알루미늄의 열악한 스텝 커버리지(Step Coverage)로 인하여 화학기상증착(CVD) 방법으로 형성된 텅스텐 플러그를 통하여 서로 연결하고 있다.

도1은 일반적인 텅스텐 플러그에 의한 반도체장치의 다층 금속배선 형성공정을 단계적으로 나타낸 단면도들이다

도1a는 실리콘 기판(10)위에 소자간의 격리를 위한 필드산화막(15)과 폴리게이트(20)를 형성한 후 그 전면에 제1층간절연막(30)을 증착하고 평탄화를 시킨후 콘택을 형성하기 위한 콘택마스크(40)를 형성한 상태이다.

도1b는 콘택마스크(40)를 통해 실리콘 기판(10)이 노출되도록 제1층간절연막(30)을 식각하여 콘택홀(45)을 형성한 상태이다.

도1c는 콘택홀(45) 전면에 플러그를 형성하기 위해 텅스텐을 CVD법으로 증착하고 평탄화하여 텅스텐플러그(50)를 형성한 상태이다.

도1d는 텅스텐플러그(50) 전면에 금속배선을 위한 금속층(60)을 증착한 후 금속배선을 위한 메탈마스크(62)를 형성한 상

태이다.

도1e는 메탈마스크(62)를 통해 금속층(60)을 식각하여 메탈라인(64)을 형성한 상태이다.

도1f는 메탈라인(64)이 형성된 전면에 제2층간절연막(32)을 증착하고 평탄화시킨 후 비아홀(70)을 형성한 상태이다.

도1g는 하부의 메탈라인(64)과 서로 전기적으로 연결하기 위해 형성된 비아홀(70)에 CVD법으로 텅스텐을 형성한 후 평탄화시켜 텅스텐플러그(50)를 형성한 상태이다.

도1h는 텅스텐플러그(50)를 형성한 후 제2층간절연막(32) 상부로 금속층을 형성한 후 패터닝하여 메탈라인(64)을 형성한 상태이다.

위와 같이 층간절연막을 증착하고 평탄화 공정을 진행한 후 콘택 또는 비아 패턴을 형성하여 텅스텐플러그를 만든 후에, 금속 박막을 물리기상증착(Physical Vapor Depositon ; PVD)법 또는 화학기상증착(Cheical Capor Deposition ; CVD)법으로 증착한 후 패터닝된 감광막을 사용하여 식각을 함으로써 금속배선을 형성하게 된다.

그러나 이러한 방법을 사용하여 금속배선을 형성하는 경우에는 식각이 진행되는 동안에 염소이온(Cl-)에 의해 금속배선 측벽에서 핏팅부식(Pitting Corrosion)이 발생하기 쉬우며 금속성 폴리머를 제거하는 습식세정 공정시에 이러한 경향이 더욱 심화될 수 있다는 문제점이 있다.

이러한 문제점을 해결하기 위해서 반응기체에 질소(N₂)를 첨가하여 금속배선의 측벽에 치밀한 보호막을 형성시키는 방법이 사용되기도 하지만, 이러한 방법도 로딩효과(Loding effect)에 의해 도2에서 도시된 바와 같이 조밀한 패턴(67)과 고립된 패턴(69)에서의 측벽 경사도가 달라지는 문제점을 안고 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 창작된 것으로서, 본 발명의 목적은 반도체장치의 다층 금속배선 형성공정시 메탈라인 패터닝과 콘택홀 또는 비아홀 형성을 동시에 진행할 수 있도록 하는 반도체장치의 다층 금속배선 형성방법을 제공함에 있다.

발명의 구성 및 작용

상기와 같은 목적을 실현하기 위한 본 발명은 반도체 기판상에 하부 배선을 형성하고 제1층간절연막을 증착한 후 평탄화하는 단계와, 평탄화된 제1층간절연막 전면에 질화막을 증착한 후 질화막을 식각하여 콘택홀 패턴을 형성하는 단계와, 콘택홀 패턴 전면에 제2층간절연막을 증착하는 단계와, 제2층간절연막 상부로 메탈마스크를 형성한 후 식각하여 이용하여 하부배선이 노출되도록 콘택홀을 형성하는 단계와, 콘택홀 전면에 장벽금속층을 형성한 후 메탈라인을 형성하고 평탄화하는 단계로 이루어지는 것을 특징으로 한다.

상기와 같이 이루어진 본 발명은 하부 금속배선을 형성한 후 제1층간절연막을 형성한 후 평탄화시킨 후 질화막을 증착하여 콘택 또는 비아패턴을 형성하고 다시 제2층간절연막을 증착한 후 메탈라인 패터닝용 감광막을 형성하여 식각함으로써 메탈라인 패터닝과 콘택홀 또는 비아홀 형성을 동시에 진행할 수 있게 된다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이며 종래 구성과 동일한 부분은 동일한 부호 및 명칭을 사용한다.

도3은 본 발명에 따른 반도체장치의 다층 금속배선 형성방법을 설명하기 위한 도면들로서 반도체장치의 다층 금속배선 형성공정을 단계적으로 나타낸 단면도들이다.

도3a는 실리콘 기판(10) 상에 소자간 분리를 위한 필드산화막(15)과 하부배선인 폴리게이트(20)를 형성한 상태이다.

도3b는 폴리게이트(20)가 형성된 전면에 제1층간절연막(30)을 형성한 후 평탄화한 상태이다.

도3c는 평탄화된 제1층간절연막(30) 전면에 질화막(90)을 형성하고 콘택홀을 형성하기 위한 콘택마스크(40)를 형성한 상태이다.

도3d는 콘택마스크(40)를 이용하여 질화막(90) 만을 식각하여 콘택홀 패턴(47)을 형성한 상태이다.

도3e는 질화막(90)에 의해 콘택홀 패턴(47)이 형성된 전면에 제2층간절연막(32)을 증착하고 메탈라인 형성을 위한 메탈마스크(62)를 형성한 상태이다.

도3f는 메탈마스크(62)를 통해 질화막(90)에 대한 제1,2층간절연막(30)(32)의 식각 선택도가 높은 조건으로 제2층간절연막(32) 만을 선택적으로 식각하여 메탈라인 패턴(66) 부분을 형성하고 이어 질화막(90)이 드러나게 된 후 계속해서 폴리게이트(20)가 노출될 때까지 식각을 진행하면 질화막(90)이 하드마스크의 역할을 하게 되어 콘택홀(45)이 형성된 상태이다.

도3g는 도3f에서 형성된 메탈라인 패턴(66)과 콘택홀(45)에 금속층(60a)과의 접착성을 증도록 하기 위한 장벽금속층(80)을 형성한 후 금속층(60a)인 구리(Cu)를 화학기상증착법으로 증착한 상태이다.

도3h는 금속층(60a)인 구리를 CMP를 실시하여 평탄화함으로써 첫 번째 메탈라인(64a)과 구리플러그(95)를 동시에 완성한 상태이다.

도3i는 평탄화된 메탈라인(64a) 위로 다층의 금속배선을 위해 제3층간절연막(34)을 형성하고 다시 질화막(90)을 형성한 후 제4층간절연막(36)을 증착하고 메탈마스크를 통해 식각하고 금속층을 증착한 후 평탄화하여 두 번째 메탈라인(64a)과 구리플러그(95)를 동시에 형성하여 다층 금속배선을 형성한 상태이다.

위와 같이 본 실시예는 제1층간절연막(30)을 증착한 후 제1층간절연막(30) 전면에 질화막(90)에 의한 콘택 패턴을 형성한 후 다시 제2층간절연막(32)을 증착하고 메탈마스크(62)를 통해 하부층까지 식각하여 동시에 메탈라인 패턴과 콘택홀 또는 비아홀 형성을 동시에 진행한다.

발명의 효과

상기한 바와 같이 본 발명은 반도체장치의 다층 금속배선 형성시 금속배선 패터닝과 콘택홀 또는 비아홀 형성을 동시에 진행할 수 있기 때문에 공정의 단순화를 꾀할 수 있으며, 금속배선 패터닝에서의 마이크로 트렌치의 형성을 방지할 수 있다. 또한 금속배선의 두께를 일정하게 함으로써 금속배선의 평탄화에 용이하다는 이점이 있다.

(57) 청구의 범위

청구항 1. 반도체 기판상에 하부 배선을 형성하고 제1층간절연막을 증착한 후 평탄화하는 단계와,

평탄화된 상기 제1층간절연막 전면에 질화막을 증착한 후 상기 질화막을 식각하여 콘택홀 패턴을 형성하는 단계와,

상기 콘택홀 패턴 전면에 제2층간절연막을 증착하는 단계와,

상기 제2층간절연막 상부로 메탈마스크를 형성한 후 식각하여 이용하여 상기 하부배선이 노출되도록 콘택홀을 형성하는 단계와,

상기 콘택을 전면에 장벽금속층을 형성한 후 메탈라인을 형성하고 평탄화하는 단계로 이루어진 것을 특징으로 하는 반도체장치의 다층 금속배선 형성방법.

청구항 2. 제1항에 있어서, 상기 콘택을 식각은

상기 절화막과 상기 제1,2층간절연막의 식각선택비가 높은 것으로 식각하는 것을 특징으로 하는 반도체장치의 다층 금속배선 형성방법.

청구항 3. 제1항에 있어서, 상기 금속층은

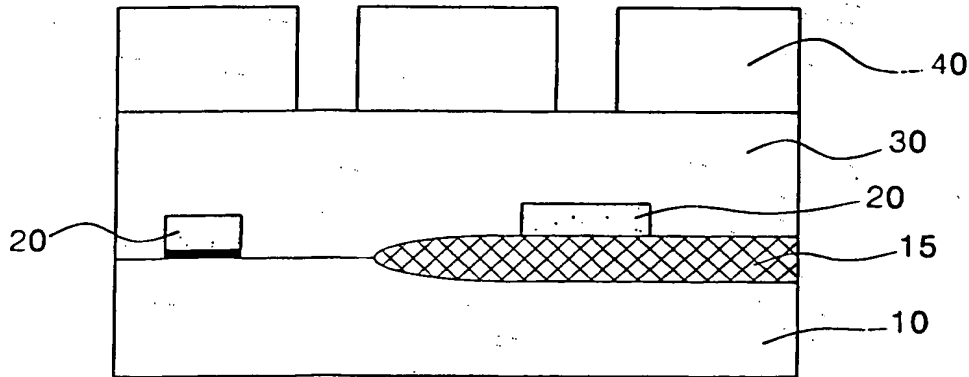
구리로 이루어진 것을 특징으로 하는 반도체장치의 다층 금속배선 형성방법.

청구항 4. 제1항에 있어서, 상기 장벽금속층은

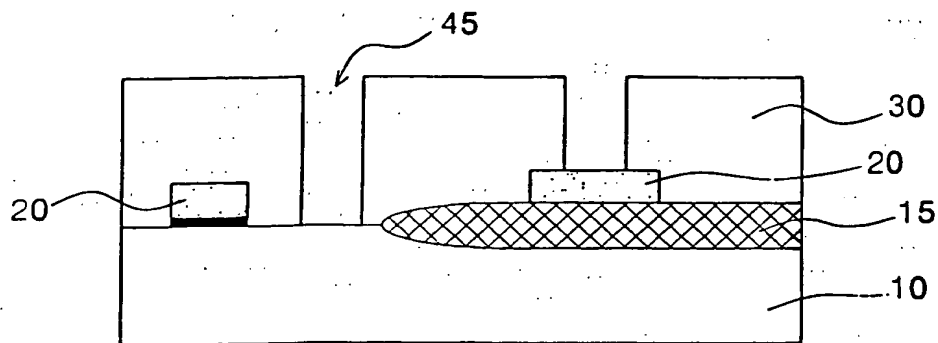
티타늄으로 이루어진 것을 특징으로 하는 반도체장치의 다층 금속배선 형성방법.

도면

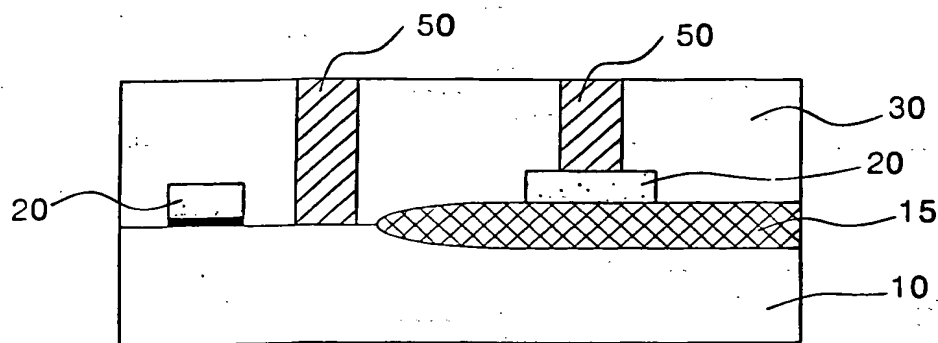
도면 1a



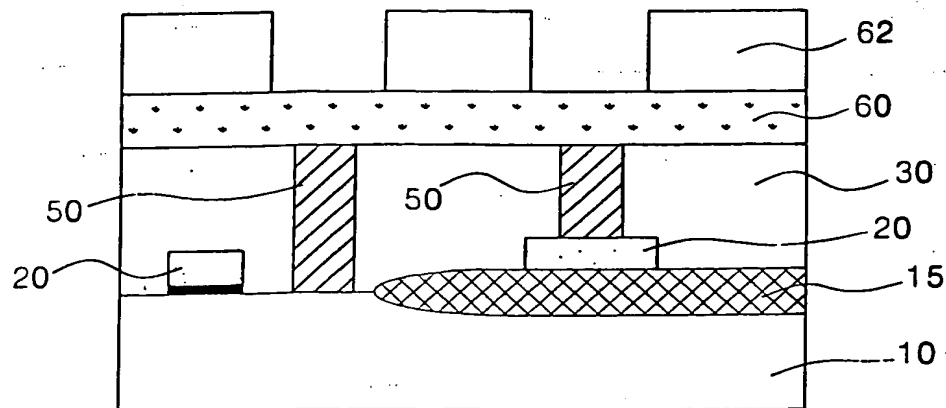
도면 1b



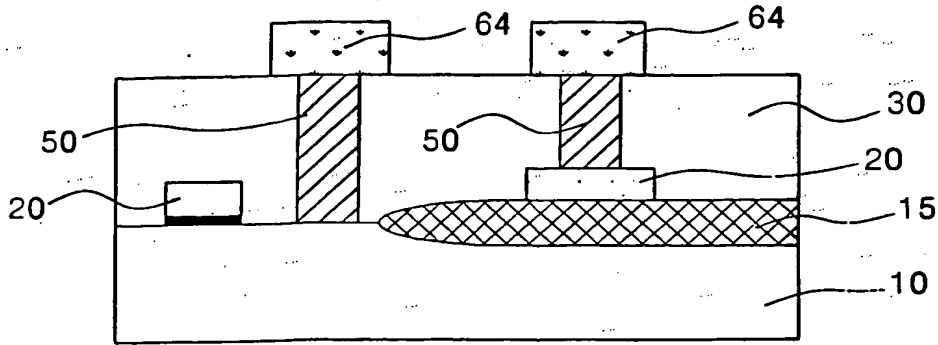
도면 1c



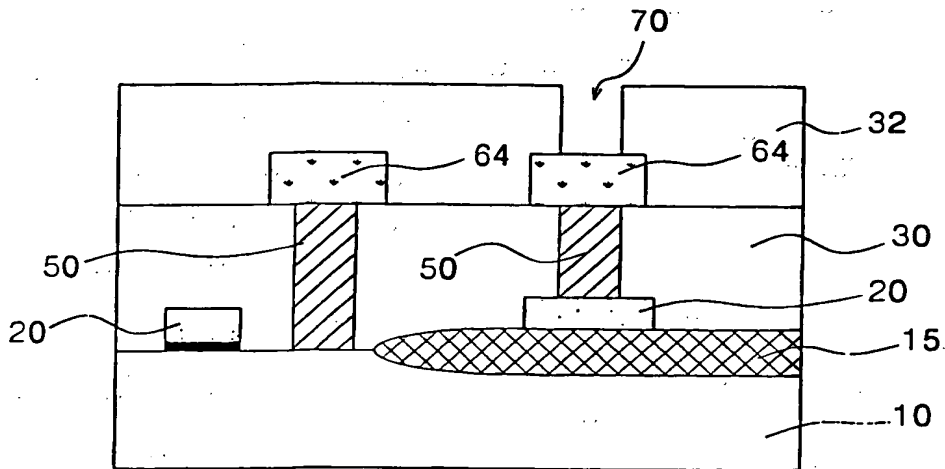
도면 1d



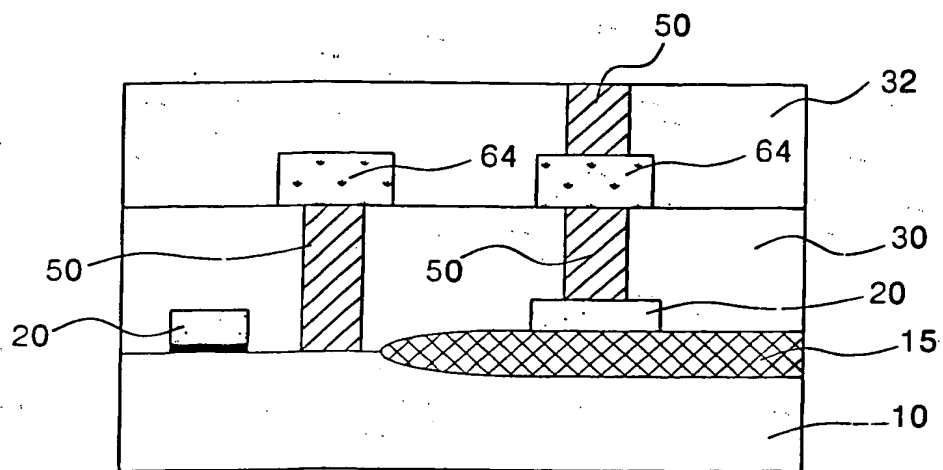
도면 1e



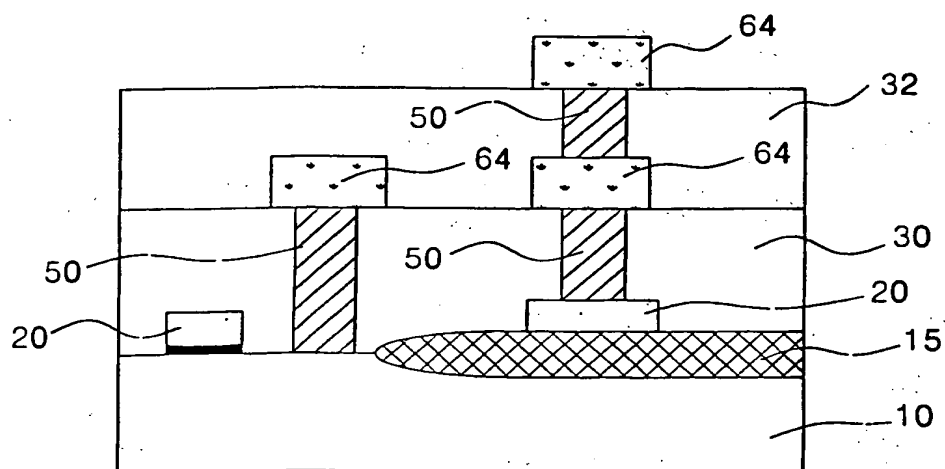
도면 1f



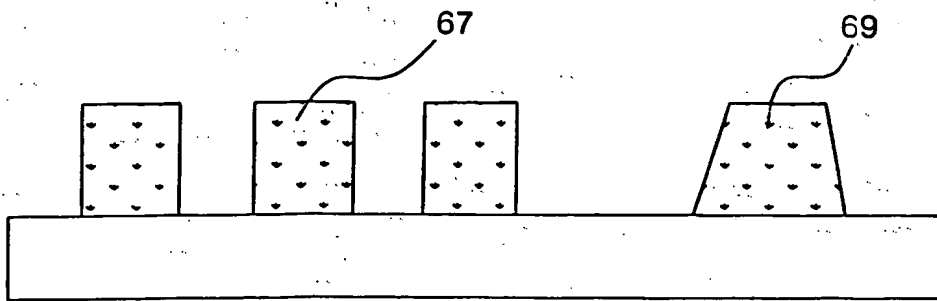
도면 1g



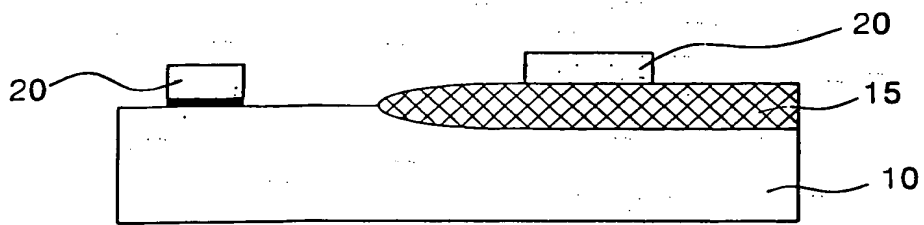
도면 1h



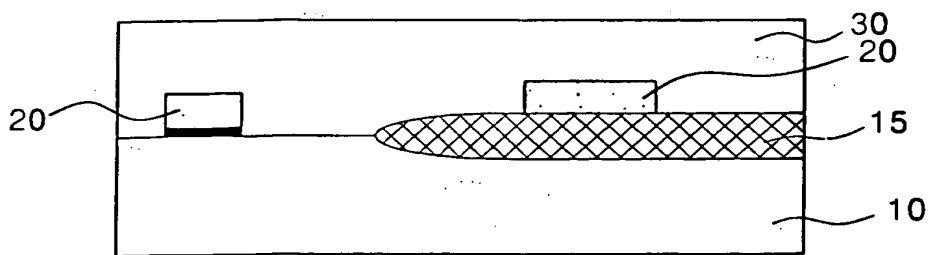
도면 2



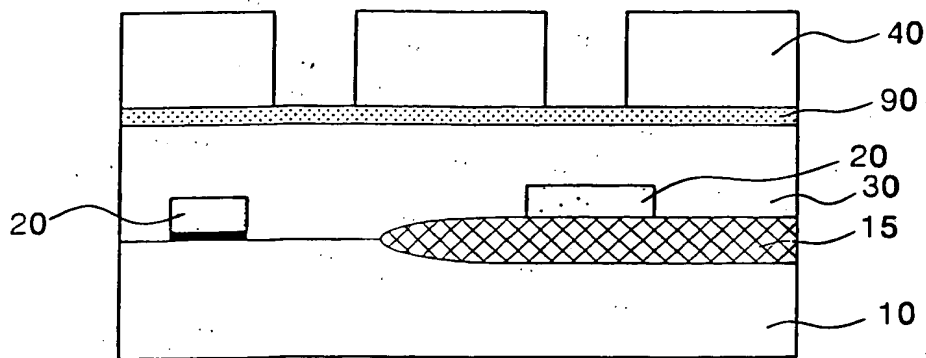
도면3a



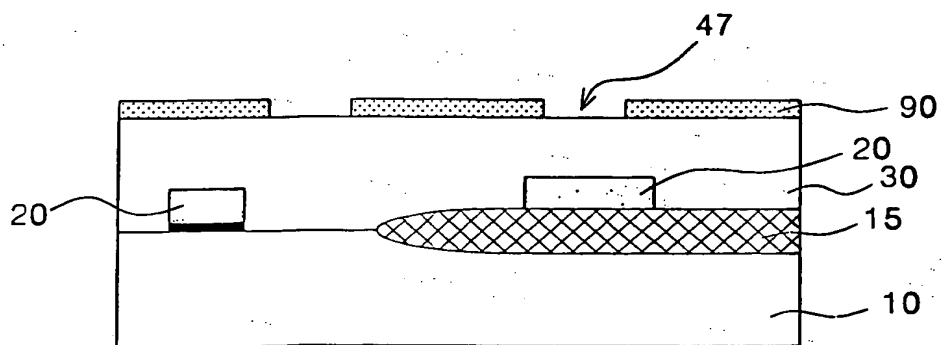
도면3b



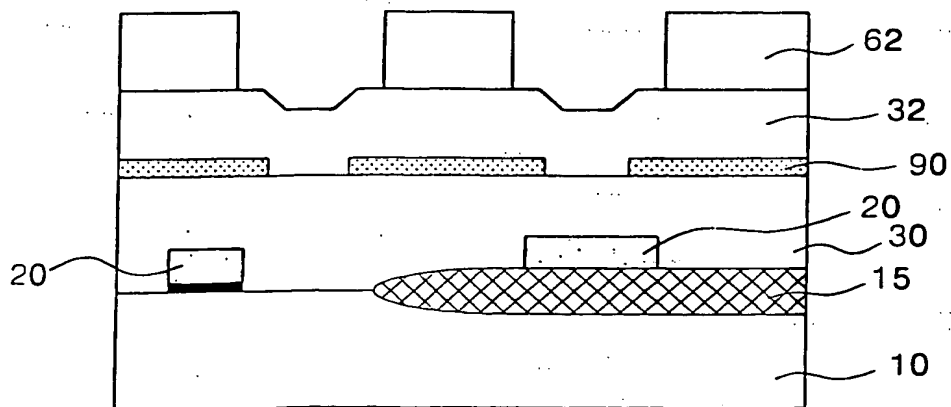
도면3c



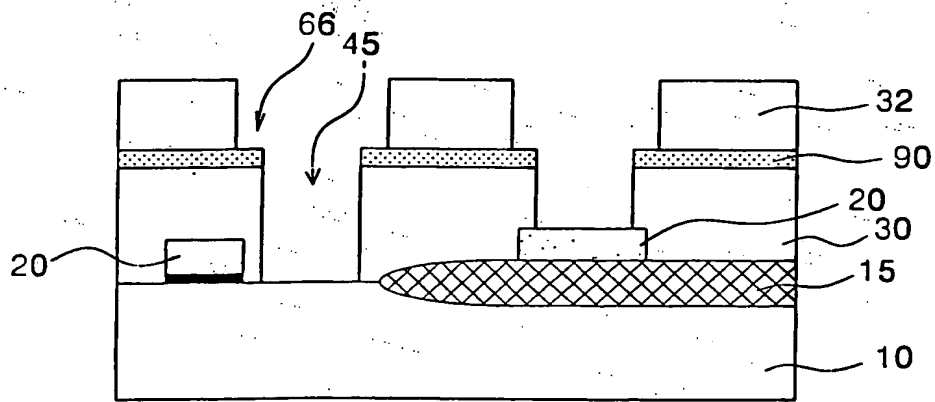
도면3d



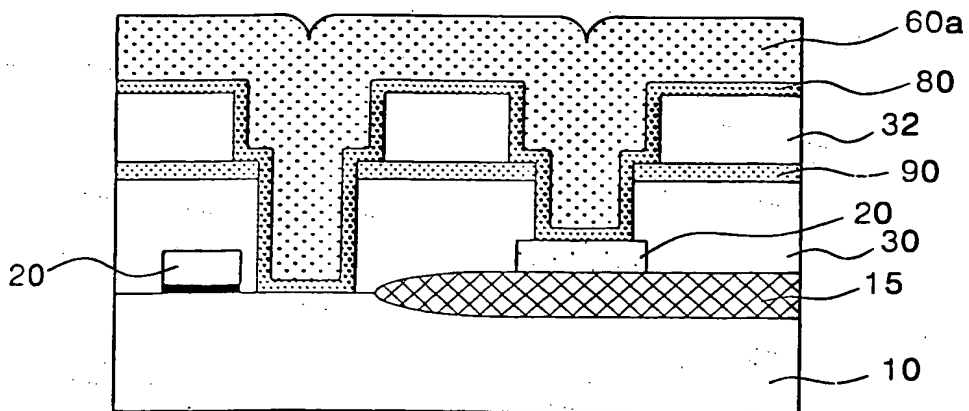
도면3e



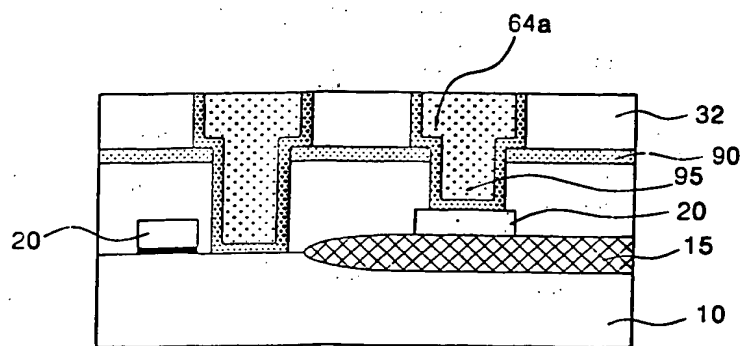
도면3f



도면3g



도면3h



도면31

